

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Satoshi MATSUI, et al.

Application No.:

Group Art Unit:

Filed: March 10, 2004

Examiner:

For: CLOCK SHIFT CIRCUIT FOR GRADUAL FREQUENCY CHANGE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-355061


Filed: October 15, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 10, 2004

By: 
H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月15日
Date of Application:

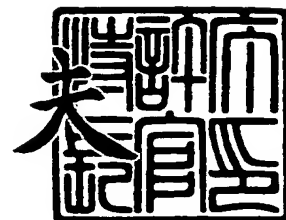
出願番号 特願2003-355061
Application Number:
[ST. 10/C]: [JP 2003-355061]

出願人 富士通株式会社
Applicant(s):

2003年12月17日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3104766

【書類名】 特許願
【整理番号】 0340498
【提出日】 平成15年10月15日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 G06F 1/00
H03K 5/00

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
内
【氏名】 松井 聡

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
内
【氏名】 小沢 幸浩

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
内
【氏名】 末武 清次

【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100070150
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイス
タワー32階
【弁理士】
【氏名又は名称】 伊東 忠彦
【電話番号】 03-5424-2511

【手数料の表示】
【予納台帳番号】 002989
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0114942

【書類名】 特許請求の範囲**【請求項 1】**

原クロック信号の周波数を制御して出力クロック信号を生成するクロック生成回路と、
該出力クロック信号で動作する外部回路の第 1 の動作モードから第 2 の動作モードへの切り替えを示す動作モード切替信号に応じて該クロック生成回路を制御することで、該第 1 の動作モードでの第 1 の周波数から該第 2 の動作モードでの第 2 の周波数に該出力クロック信号を変化させる途中に、該第 1 の周波数と該第 2 の周波数の間の第 3 の周波数を介在させる制御回路
を含むことを特徴とするクロック変更回路。

【請求項 2】

該制御回路は、該第 3 の周波数を該第 1 の周波数と該第 2 の周波数の間で段階的に変化させるように該クロック生成回路を制御することを特徴とする請求項 1 記載のクロック変更回路。

【請求項 3】

該クロック生成回路は、
分周動作を実行する分周回路と
パルスを間引く動作を実行する歯抜けクロック生成回路
を含むことを特徴とする請求項 1 記載のクロック変更回路。

【請求項 4】

該クロック生成回路は、
該原クロック信号を分周して 1 つ又は複数の分周クロック信号を生成する分周回路と、
該原クロック信号と該分周クロック信号から 1 つを選択クロック信号として選択する選択回路と、
該選択クロック信号のパルスを間引くことで出力クロック信号を生成する歯抜けクロック生成回路
を含み、該制御回路は該動作モード切替信号に応じて該選択回路の選択動作と該歯抜けクロック生成回路の間引き動作とを制御することを特徴とする請求項 1 記載のクロック変更回路。

【請求項 5】

該制御回路は、該第 3 の周波数を維持する時間の長さをデータとして格納する記憶回路を含むことを特徴とする請求項 4 記載のクロック変更回路。

【請求項 6】

該記憶回路は、該データを該動作モード切替信号の種類に応じて複数格納することを特徴とする請求項 5 記載のクロック変更回路。

【請求項 7】

該制御回路は、該歯抜けクロック生成回路によるパルスの間引き率を設定するレジスタを更に含むことを特徴とする請求項 4 記載のクロック変更回路。

【請求項 8】

該レジスタは、該パルスの間引き率を該動作モード切替信号の種類に応じて複数格納することを特徴とする請求項 7 記載のクロック変更回路。

【請求項 9】

該動作モード切替信号は複数種類の動作モード切替信号を含み、該動作モード切替信号の種類に応じて該制御回路は該クロック生成回路の制御を切り替えることを特徴とする請求項 1 記載のクロック変更回路。

【請求項 10】

該動作モード切替信号は、該外部回路の動作を停止する状態への遷移を示す動作モード切替信号と、該外部回路の動作を復帰する状態への遷移を示す動作モード切替信号を含むことを特徴とする請求項 9 記載のクロック変更回路。

【書類名】明細書

【発明の名称】クロック変更回路

【技術分野】

【0001】

本発明は、一般に所望の周波数のクロック信号を生成する回路に関し、詳しくはクロック信号をある周波数から別の周波数に変化させるクロック変更回路に関する。

【背景技術】

【0002】

半導体集積回路等の大規模な論理回路においては、消費電力を削減するために、回路内でのクロックの供給を必要に応じて制御する技術が重要となっている。特に、電力の消費量が問題となる携帯用機器では、そのような技術が広く用いられる。

【0003】

従来、クロックの供給開始・停止に係る制御は、システムとしては特に行われることなく、電源の投入及び切断に伴い、クロックを供給開始したり停止したりするのが通常の構成であった。しかし携帯用機器が普及しかつ回路規模が増大するに伴って、クロック配線に付随する負荷容量により消費される待機電力が無視できなくなり、クロックの開始・停止を制御することが必要になっている。

【0004】

通常の動作周波数でのクロック動作状態からスタンバイ等のクロック停止状態へ遷移する場合、またはクロック停止状態から復帰する場合、従来の構成においては、クロックをいきなり停止、またはクロックをいきなり通常の動作周波数で発振していた。このようにクロックを急激に変化させると、クロックを使用する回路において消費電流量が急激に変化し、半導体集積回路内部に搭載しているレギュレータに電圧異常が起きる可能性がある。

【0005】

従って、通常の動作周波数でのクロック動作状態とクロック停止状態との間において、クロック周波数を段階的に変化させていくことが望ましい。これを実現するためには、クロック周波数を切り替える機能を有したクロック生成回路が必要となるが、そのような回路が例えば特許文献1乃至3に示される。

【0006】

特許文献1に示される回路は、高速で動作する発振器と、複数の歯抜けクロックを出力する歯抜けクロック回路と、分周器とから構成され、歯抜けクロック回路で元となる周波数系を出力し、分周器で単純に分周し出力する。

【0007】

特許文献2では、画像記録装置において、原クロック発生手段からの原クロックを間引いて出力する間引き手段と、間引き後のクロックを固定の分周比で分周し画像記録用の画素クロックとして出力する分周手段とが用いられる。

【0008】

特許文献3では、電源電圧に応じた分周設定値でもって原振クロックを分周する構成とし、構成ビット数を多くしておくか、または分周設定値の数を増やすことによって、ハードウェアに新たに分周回路を追加することなく、原振クロックをより多くの分周比で分周することができるようにしている。

【特許文献1】特開2000-183729号公報

【特許文献2】特開2001-213002号公報

【特許文献3】特開2002-202829号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上記特許文献の技術は、クロック周波数を切り替え可能なクロック生成回路を示すのみであり、動作モード切替に応じてクロックを段階的にスピードアップしていく或いは段階

的にスピードダウンしていくための構成は示されていない。また従来技術には、クロックのスピードアップ動作をソフトウェアにより制御するという方法もあるが、高速な動作に対応できないという難点があり、また $1/n$ と $1/n+1$ の間のクロックを生成することができないという不具合がある。

【0010】

以上を鑑みて、本発明は、動作モードの変更に応答してクロック周波数を段階的に変化させていくことが可能なクロック変更回路を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明によるクロック変更回路は、原クロック信号の周波数を制御して出力クロック信号を生成するクロック生成回路と、該出力クロック信号で動作する外部回路の第1の動作モードから第2の動作モードへの切り替えを示す動作モード切替信号に応じて該クロック生成回路を制御することで、該第1の動作モードでの第1の周波数から該第2の動作モードでの第2の周波数に該出力クロック信号を変化させる途中に、該第1の周波数と該第2の周波数の間の第3の周波数を介在させる制御回路を含むことを特徴とする。

【0012】

本発明の実施例によれば、上記クロック生成回路は、該原クロック信号を分周して1つ又は複数の分周クロック信号を生成する分周回路と、該原クロック信号と該分周クロック信号から1つを選択クロック信号として選択する選択回路と、該選択クロック信号のパルスの間引くことで出力クロック信号を生成する歯抜けクロック生成回路を含み、該制御回路は該動作モード切替信号に応じて該選択回路の選択動作と該歯抜けクロック生成回路の間引き動作とを制御することを特徴とする。

【発明の効果】

【0013】

本発明においては、制御回路が、モード切替信号に応じてクロック生成回路（セレクト回路及び歯抜けクロック生成回路）を制御し、動作モードの切り換わり時にクロック信号を段階的に変化させる。即ち、通常の動作周波数でのクロック動作状態からクロック停止状態に移行する場合には、単位時間あたりのクロック信号のパルス数が段階的に減少するようにクロック信号を制御し、クロック停止状態から通常の動作周波数でのクロック動作状態に移行する場合には、単位時間あたりのクロック信号のパルス数が段階的に増大するようにクロック信号を制御する。これによりクロックの急激な変化を避けて、クロックを使用する回路における消費電流量が急激に変化することを防ぎ、レギュレータの電圧異常を防止することができる。

【0014】

また分周回路と歯抜け回路とを併用することで、分周回路だけでは生成できない n/m (n 及び m は整数) の任意の周波数のクロック信号を生成することが可能となる。これにより、クロック周波数の変化をよりきめ細かな変化とすることが可能となる。またハードウェアに基づく制御であるので、従来のようにソフトウェアにより制御する構成と異なり、高速な動作に対応することができる。

【発明を実施するための最良の形態】

【0015】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0016】

図1は、本発明によるクロック変更回路の構成を示すブロック図である。

【0017】

図1のクロック変更回路10は、分周器11、セレクト回路12、歯抜けクロック生成回路13、及び制御回路14を含む。分周器11及びセレクト回路12には、クロック信号CLKが入力される。分周器11は、クロック信号CLKを分周することで、例えば $1/2$ 分周のクロック信号、 $1/4$ 分周のクロック信号、 $1/8$ 分周のクロック信号、及び $1/16$ 分周のクロック信号を生成する。

【0018】

セクタ回路12は、制御回路14からの指示により、分周器11が出力する複数の分周クロック信号と原クロックであるクロック信号CLKとから、1つのクロック信号を選択する。選択されたクロック信号は、歯抜けクロック生成回路13に供給される。

【0019】

歯抜けクロック生成回路13は、制御回路14の制御の下で動作し、セクタ回路12から供給される選択クロック信号のクロックパルスの間引くことで、歯抜けクロック信号SUBCLKを生成する。

【0020】

制御回路14は、動作モードの切り換わりを示すモード切替信号START、SLEEP、STOP、SHUTDOWN等を入力として供給される。モード切替信号SLEEPはスリープモードへの状態遷移を示し、信号STOPは停止モードへの状態遷移を示し、信号SHUTDOWNは電源遮断状態への遷移を示す。モード切替信号STARTは、これらの各状態からの復帰を示す信号である。

【0021】

制御回路14は、これらモード切替信号に応じてセクタ回路12及び歯抜けクロック生成回路13を制御し、動作モードの切り換わり時にクロック信号を段階的に変化させる。即ち、通常の動作周波数でのクロック動作状態からクロック停止状態に移行する場合には、単位時間あたりのクロック信号のパルス数が段階的に減少するようにクロック信号を制御し、クロック停止状態から通常の動作周波数でのクロック動作状態に移行する場合には、単位時間あたりのクロック信号のパルス数が段階的に増大するようにクロック信号を制御する。

【0022】

歯抜けクロック生成回路13は、カウンタ回路21、比較器22、及びアンド回路23を含む。カウンタ回路21は、制御回路14からのリセット信号が指示するタイミングでリセットされると、セクタ回路12から供給される選択クロック信号のパルスのカウントを開始する。カウンタ回路21によるカウント値は比較器22に供給される。

【0023】

比較器22は、カウンタ回路21からのカウント値と制御回路14から供給されるパルス数設定値とを比較する。カウント値がパルス数設定値以下の場合には、比較器22は、その出力であるENABLE信号をHIGHにする。これによりカウント値がパルス数設定値以下の場合に、アンド回路23は、セクタ回路12から供給される選択クロック信号を通過させる。またカウント値がパルス数設定値より大きい場合には、アンド回路23は、セクタ回路12から供給される選択クロック信号を遮断する。

【0024】

なお比較器22には、制御回路14からビット数設定値が供給される。このビット数設定値は、カウント値及びパルス数設定値の比較対象となるビット数を示す情報である。従って、パルス数設定値が同一であってもビット数設定値が異なれば結果は異なる。例えば、ビット数設定値が3でパルス数設定値が3である場合には、3ビットが比較対象となり、 $8 (= 2^3)$ 個のパルスのうちで最初の3つが供給される間はENABLE信号がHIGHになる。またビット数設定値が4でパルス数設定値が3である場合には、4ビットが比較対象となり、 $16 (= 2^4)$ 個のパルスのうちで最初の3つが供給される間はENABLE信号がHIGHになる。このようにして、パルス数設定値とビット数設定値との組み合わせによって、選択クロック信号のパルスの間引き率を制御することができる。

【0025】

制御回路14は、制御信号生成回路24、時間選択回路25、タイマ26、レジスタ27、及びレジスタ28を含む。制御信号生成回路24及び時間選択回路25は、動作モードの切り換わりを示すモード切替信号START、SLEEP、STOP、SHUTDOWN等を入力として供給される。

【0026】

時間選択回路 25 は、供給されるモード切替信号に応じて、各クロック周波数の継続時間を選択する。時間選択回路 25 は、選択した継続時間を示す信号をタイマ 26 に供給する。タイマ 26 は、選択された継続時間を計測し、例えば継続時間の終了に到るまで制御信号生成回路 24 に供給する信号をアサートする。時間選択回路 25 は、タイマ 26 からの信号が示す継続時間の間、セレクト回路 12 及び歯抜けクロック生成回路 13 を制御して所定の周波数（所定のパルス数）のクロック信号を生成させる。

【0027】

具体的には、時間選択回路 25 は、レジスタ 27 及び 28 にそれぞれパルス数設定値及びビット数設定値を設定すると共に、カウンタ回路 21 をリセットして間引き動作を初期化し、セレクト回路 12 に選択信号を供給して所望のクロック信号を選択させる。レジスタ 27 及び 28 にそれぞれ格納されるパルス数設定値及びビット数設定値は、比較器 22 に供給される。これにより、セレクト回路 12、カウンタ回路 21、及び比較器 22 が前述の説明のように動作して、所望の比率でのクロックパルスの間引き動作を実行する。

【0028】

図 2 は、各モード切替信号に対するクロック遷移パターン及び継続時間を示す図である。クロック遷移パターンはクロック遷移の仕方を示すものであり、各モード切替信号に応じて制御信号生成回路 24 が選択する。継続時間は、各モード切替信号に応じて時間選択回路 25 が選択する。時間選択回路 25 は継続時間の設定を内部のレジスタにデータとして格納する構成としてよい。

【0029】

例えば、停止モードへの状態遷移を示すモード切替信号 STOP がアサートされた場合には、制御信号生成回路 24 が $3/4 \rightarrow 1/2 \rightarrow 1/4$ のクロック遷移パターンを選択し、これに応じた制御動作を実行する。また時間選択回路 25 が継続時間として 1 ms を選択する。従って、通常のクロック周波数から開始して、 $3/4$ のクロック周波数が 1 ms の期間持続し、次に $1/2$ のクロック周波数が 1 ms の期間持続し、更に $1/4$ のクロック周波数が 1 ms の期間持続することで、段階的に単位時間あたりのパルス数が減少し、最終的にクロックが停止される。

【0030】

また例えば、スリープモードへの状態遷移を示すモード切替信号 SLEEP がアサートされた場合には、制御信号生成回路 24 が $7/8 \rightarrow 3/4 \rightarrow 5/8 \rightarrow 1/2 \rightarrow 3/8 \rightarrow 1/4 \rightarrow 1/8$ のクロック遷移パターンを選択し、これに応じた制御動作を実行する。また時間選択回路 25 が継続時間として 1 ms を選択する。従って、通常のクロック周波数から開始して、各クロック周波数が 1 ms の期間持続しながら段階的に単位時間あたりのパルス数が減少し、最終的にクロックが停止される。

【0031】

また電源遮断状態への遷移を示すモード切替信号 SHUTDOWN がアサートされた場合には、通常のクロック周波数から開始して、 $1/2$ のクロック周波数が 1 ms の期間持続した後にクロックが停止される。また復帰を示すモード切替信号 START がアサートされた場合には、クロック停止状態から開始して、 $1/4$ のクロック周波数が $500 \mu s$ の期間持続し、次に $1/2$ のクロック周波数が $500 \mu s$ の期間持続し、更に $3/4$ のクロック周波数が $500 \mu s$ の期間持続することで、段階的に単位時間あたりのパルス数が増加し、最終的に通常のクロック周波数に到る。

【0032】

図 3 は、クロック信号の分周及び間引き動作について説明するための図である。

【0033】

図 3 の最上段には、原クロックであるクロック信号 CLK を示す。第 2 段目は、クロック信号 CLK に基づいて分周器 11 が生成する分周クロック信号を示す。この例では、周波数を $1/2$ にした 2 分周のクロック信号、周波数を $1/3$ にした 3 分周のクロック信号、周波数を $1/4$ にした 4 分周のクロック信号が生成される。第 3 段目は、セレクト回路 12 が選択した選択クロック信号を示す。この例では、分周器 11 が出力する分周クロック

ク信号のうちで3分周のクロック信号（ $1/3$ の周波数のクロック信号）を選択している。

【0034】

図3の最下段には、歯抜けクロック生成回路13が選択クロック信号に対してパルスの間引き動作をすることで生成した歯抜けクロック信号SUBCLKを示す。この例では、3分周の選択クロック信号において5つのパルス毎に2つのパルスを選択することで（3つのパルスを遮断することで）、 $2/15$ の周波数（単位時間あたりのパルス数）の歯抜けクロック信号SUBCLKを生成している。

【0035】

なお図3の例では、5つのパルス毎に1番目と3番目の2つのパルスを選択している。それに対して図1の構成では、ある設定されたパルス数毎に最初の所望の数のパルスを選択する構成、即ち5つのパルスから2つのパルスを選択する場合であれば、1番目と2番目の連続した2つのパルスを選択する構成となっている。図1の歯抜けクロック生成回路13の構成を変形することで、図3に示すように連続しないパルスを選択するように構成することは容易であり、何れの位置のパルスを選択するかということは本発明において本質的な事項ではない。図1の構成は、ある意味では最も単純な回路構成により歯抜けクロック生成手段を構成している。

【0036】

図5は、歯抜けクロック生成回路の変形の一例を示す図である。図5の回路は、カウンタ回路21、比較器22A乃至22C、レジスタ27A、27B、27C、28A、28B、28C、AND回路31、及びOR回路32を含む。レジスタ群は、図1のレジスタ27及び28と同様にパルス数設定値及びビット数設定値を格納する。ここで各レジスタのパルス数設定値の大小関係は、レジスタ27A<レジスタ27B<レジスタ27Cの順番とする。比較器22A及び22Cは、図1の比較器22と同様にカウント値がパルス値設定値以下の場合にHIGHレベルを出力する。比較器22Bは、カウント値がパルス値設定値以下の場合にLOWレベルを出力する。図6に、比較器22A乃至22Cのそれぞれの出力信号A乃至Cの波形を示す。これらの出力信号について、AND回路31及びOR回路32による論理演算を施すことで、図6に示されるようなENABLE信号が得られる。このようにして、図3の $2/15$ クロックに対応したイネーブル信号を出力することができる。更に1番目、3番目、5番目のパルスを選択する等により複雑な歯抜けクロックを生成する場合も、レジスタ27B及び28B並びにレジスタ27C及び28Cと、比較器22B並びに比較器22Cとからなるセットを更に増やすことで同様に対応可能である。

【0037】

図4は、スリープ状態から復帰する場合の動作を例としてクロック遷移について説明するタイミング図である。図4の例では、スリープ状態から復帰する場合に、 $1/8 \rightarrow 1/4 \rightarrow 3/8 \rightarrow 1/2 \rightarrow 5/8 \rightarrow 3/4 \rightarrow 7/8$ の各段階を経て、通常のクロック周波数に復帰する動作を示す。図2の例では、復帰動作（START）の場合には一律に $1/4 \rightarrow 1/2 \rightarrow 3/4$ のクロック遷移パターンを選択する構成としたが、元の状態がスリープ状態であるか停止状態であるか等に応じて、異なるクロック遷移パターンを選択する構成としてもよいことはいうまでもない。

【0038】

図4において、スリープ状態から開始して、まず第1の継続時間においてレジスタ27及び28は両方共に1を指示する。図4の表示においては説明の便宜上、レジスタ27についてはパルス数設定値を示すが、レジスタ28については格納されるビット数設定値のものではなく、ビット数設定値nが示す総カウント数（ 2^n ）を示している。このような表示に従えば、パルス数設定値／総カウント数の割合でパルスが歯抜け選択されることになる。

【0039】

第1の継続時間において、レジスタ27のパルス数設定値及びレジスタ28の示す総カ

ウント数は両方共に1であるので、歯抜けクロック生成回路13は全てのパルスを選択する。このときセクタ回路12は、 $1/8$ の周波数のクロック信号を選択クロックとして出力する。歯抜けクロック生成回路13がこの選択クロックをそのまま歯抜けクロック信号SUBCLKとして出力する。結果として、 $(1/8) \times (1/1)$ で $1/8$ のクロック周波数（クロック信号CLKの8パルスの時間あたり1つのパルス数）となる。

【0040】

第2の継続時間において、レジスタ27のパルス数設定値及びレジスタ28の示す総カウント数は両方共に1であるので、歯抜けクロック生成回路13は全てのパルスを選択する。このときセクタ回路12は、 $1/4$ の周波数のクロック信号を選択クロックとして出力する。歯抜けクロック生成回路13がこの選択クロックをそのまま歯抜けクロック信号SUBCLKとして出力する。結果として、 $(1/4) \times (1/1)$ で $1/4$ のクロック周波数（クロック信号CLKの8パルスの時間あたり2つのパルス数）となる。

【0041】

第3の継続時間において、レジスタ27のパルス数設定値及びレジスタ28の示す総カウント数はそれぞれ3及び4である。このときセクタ回路12は、 $1/2$ の周波数のクロック信号を選択クロックとして出力する。歯抜けクロック生成回路13が、この選択クロックの4つのパルス毎に3つのパルスを選択し、歯抜けクロック信号SUBCLKとして出力する。結果として、 $(1/2) \times (3/4)$ で $3/8$ のクロック周波数（クロック信号CLKの8パルスの時間あたり3つのパルス数）となる。

【0042】

第4の継続時間において、レジスタ27のパルス数設定値及びレジスタ28の示す総カウント数は両方共に1であるので、歯抜けクロック生成回路13は全てのパルスを選択する。このときセクタ回路12は、 $1/4$ の周波数のクロック信号を選択クロックとして出力する。歯抜けクロック生成回路13がこの選択クロックをそのまま歯抜けクロック信号SUBCLKとして出力する。結果として、 $(1/2) \times (1/1)$ で $1/2$ のクロック周波数（クロック信号CLKの8パルスの時間あたり4つのパルス数）となる。

【0043】

第5の継続時間において、レジスタ27のパルス数設定値及びレジスタ28の示す総カウント数はそれぞれ5及び8である。このときセクタ回路12は、原クロック信号CLKを選択クロックとして出力する。歯抜けクロック生成回路13が、この選択クロックの8つのパルス毎に5つのパルスを選択し、歯抜けクロック信号SUBCLKとして出力する。結果として、 $(1/1) \times (5/8)$ で $5/8$ のクロック周波数（クロック信号CLKの8パルスの時間あたり5つのパルス数）となる。

【0044】

第6の継続時間において、レジスタ27のパルス数設定値及びレジスタ28の示す総カウント数はそれぞれ3及び4である。このときセクタ回路12は、原クロック信号CLKを選択クロックとして出力する。歯抜けクロック生成回路13が、この選択クロックの4つのパルス毎に3つのパルスを選択し、歯抜けクロック信号SUBCLKとして出力する。結果として、 $(1/1) \times (3/4)$ で $3/4$ のクロック周波数（クロック信号CLKの8パルスの時間あたり6つのパルス数）となる。

【0045】

第7の継続時間において、レジスタ27のパルス数設定値及びレジスタ28の示す総カウント数はそれぞれ7及び8である。このときセクタ回路12は、原クロック信号CLKを選択クロックとして出力する。歯抜けクロック生成回路13が、この選択クロックの8つのパルス毎に7つのパルスを選択し、歯抜けクロック信号SUBCLKとして出力する。結果として、 $(1/1) \times (7/8)$ で $7/8$ のクロック周波数（クロック信号CLKの8パルスの時間あたり7つのパルス数）となる。

【0046】

このようにして、スリープ状態から復帰する場合に、 $1/8 \rightarrow 1/4 \rightarrow 3/8 \rightarrow 1/2 \rightarrow 5/8 \rightarrow 3/4 \rightarrow 7/8$ の各段階を経て、通常のクロック周波数に復帰することができ

る。

【0047】

上記のように本発明においては、制御回路が、モード切替信号に応じてセクタ回路及び歯抜けクロック生成回路を制御し、動作モードの切り換わり時にクロック信号を段階的に変化させる。即ち、通常の動作周波数でのクロック動作状態からクロック停止状態に移行する場合には、単位時間あたりのクロック信号のパルス数が段階的に減少するようにクロック信号を制御し、クロック停止状態から通常の動作周波数でのクロック動作状態に移行する場合には、単位時間あたりのクロック信号のパルス数が段階的に増大するようにクロック信号を制御する。これによりクロックの急激な変化を避けて、クロックを使用する回路における消費電流量が急激に変化することを防ぎ、レギュレータの電圧異常を防止することができる。

【0048】

また分周回路と歯抜け回路とを併用することで、分周回路だけでは生成できない n/m (n 及び m は整数) の任意の周波数のクロック信号を生成することが可能となる。これにより、クロック周波数の変化をよりきめ細かな変化とすることが可能となる。またハードウェアに基づく制御であるので、従来のようにソフトウェアにより制御する構成と異なり、高速な動作に対応することができる。

【0049】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【図面の簡単な説明】

【0050】

【図1】 本発明によるクロック変更回路の構成を示すブロック図である。

【図2】 各モード切替信号に対するクロック遷移パターン及び継続時間を示す図である。

【図3】 クロック信号の分周及び間引き動作について説明するための図である。

【図4】 スリープ状態から復帰する場合の動作を例としてクロック遷移について説明するタイミング図である。

【図5】 歯抜けクロック生成回路の変形の一例を示す回路図である。

【図6】 図5の回路の信号を示す信号波形図である。

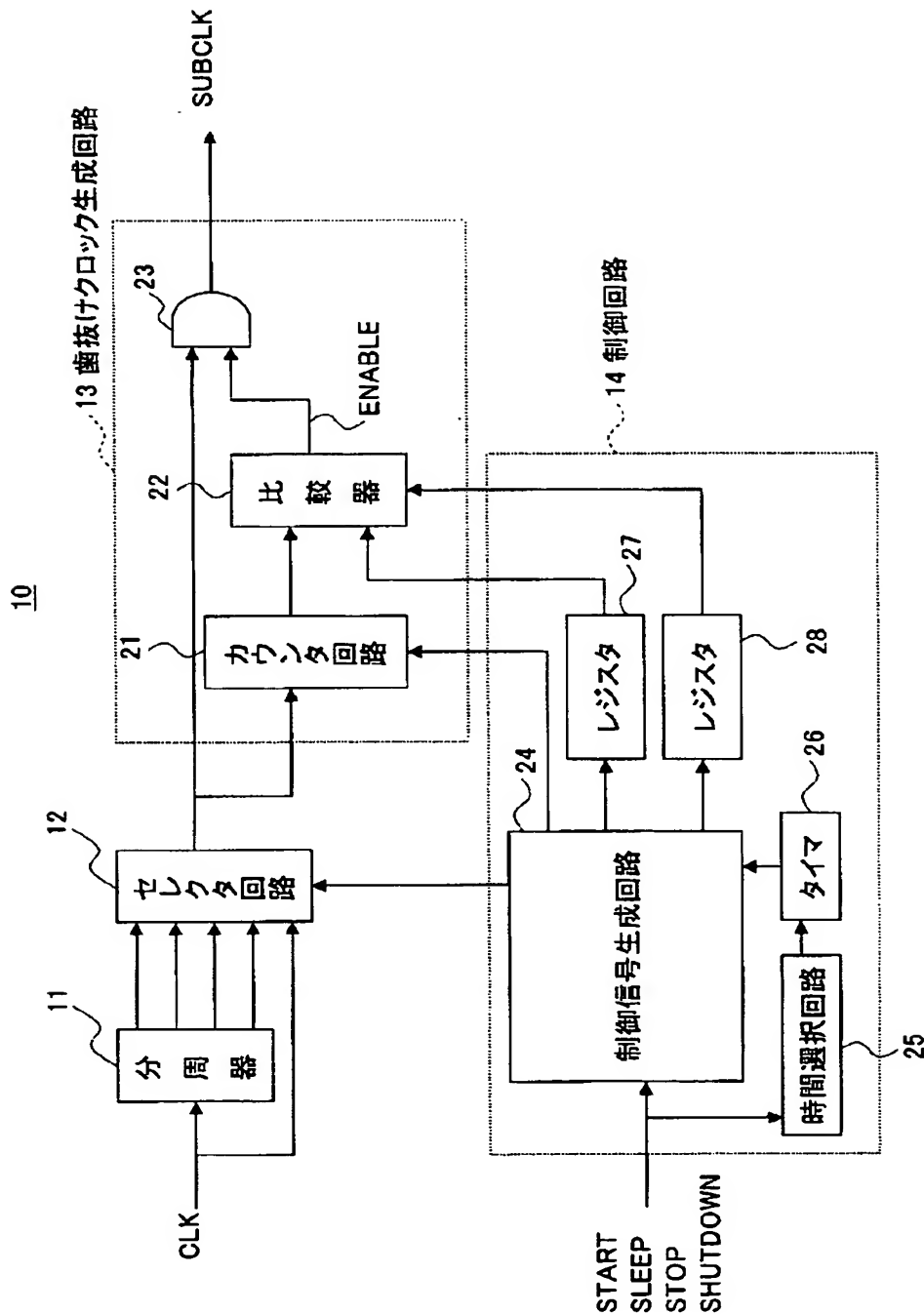
【符号の説明】

【0051】

- 10 クロック変更回路
- 11 分周器
- 12 セクタ回路
- 13 歯抜けクロック生成回路
- 14 制御回路
- 21 カウンタ回路
- 22 比較器
- 23 アンド回路
- 24 制御信号生成回路
- 25 時間選択回路
- 26 タイマ
- 27 レジスタ
- 28 レジスタ

【書類名】 図面
【図 1】

本発明によるクロック変更回路の構成を示すブロック図



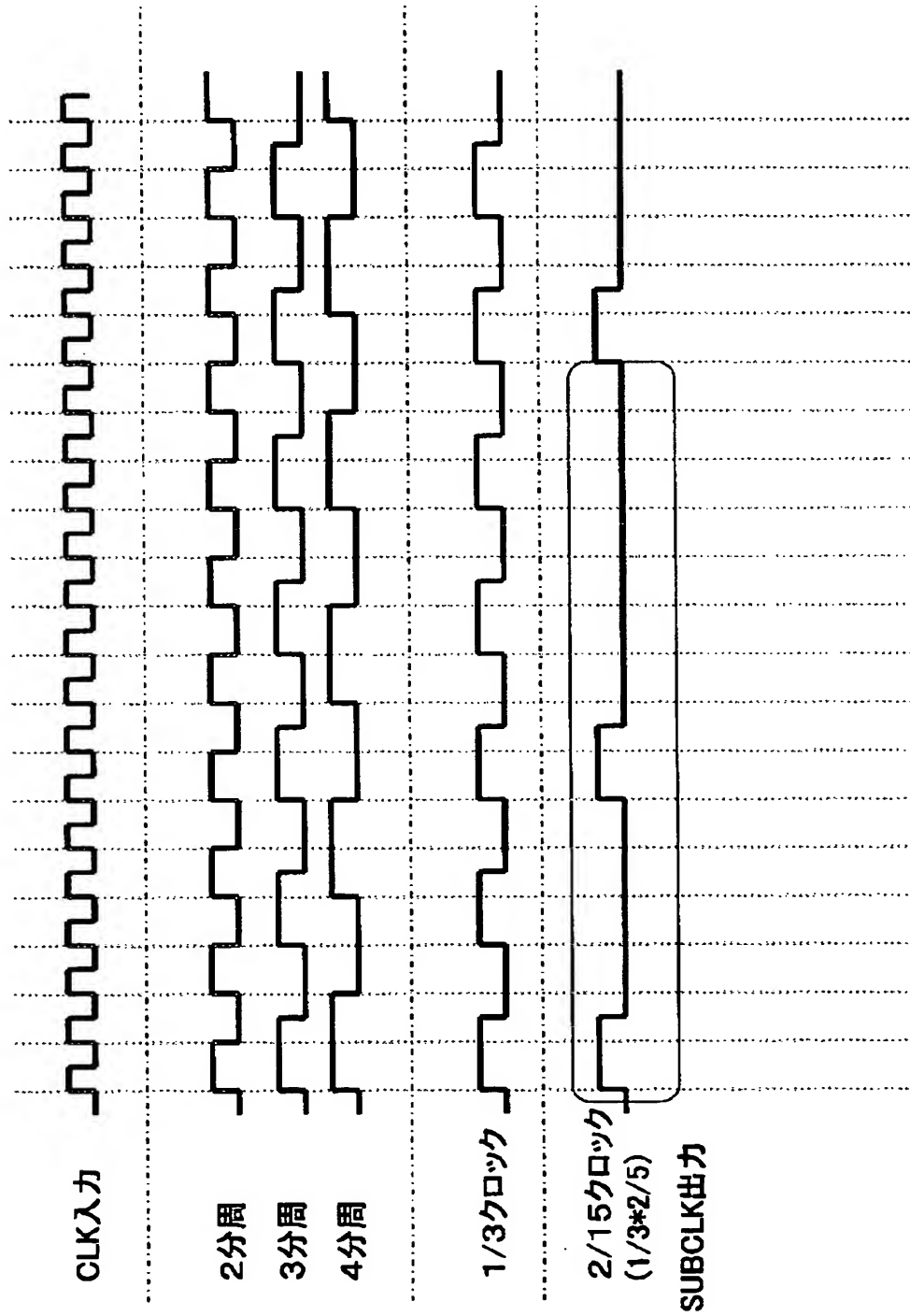
【図 2】

各モード切替信号に対するクロック遷移パターン及び継続時間を示す図

| モード選択信号 | クロック遷移 | 時間 |
|----------|---|--------------|
| STOP | $3/4 \rightarrow 1/2 \rightarrow 1/4$ | 1ms毎 |
| SLEEP | $7/8 \rightarrow 3/4 \rightarrow 5/8 \rightarrow 1/2 \rightarrow 3/8 \rightarrow 1/4 \rightarrow 1/8$ | 1ms毎 |
| SHUTDOWN | $1/2$ | 1ms毎 |
| START | $1/4 \rightarrow 1/2 \rightarrow 3/4$ | 500 μ s毎 |

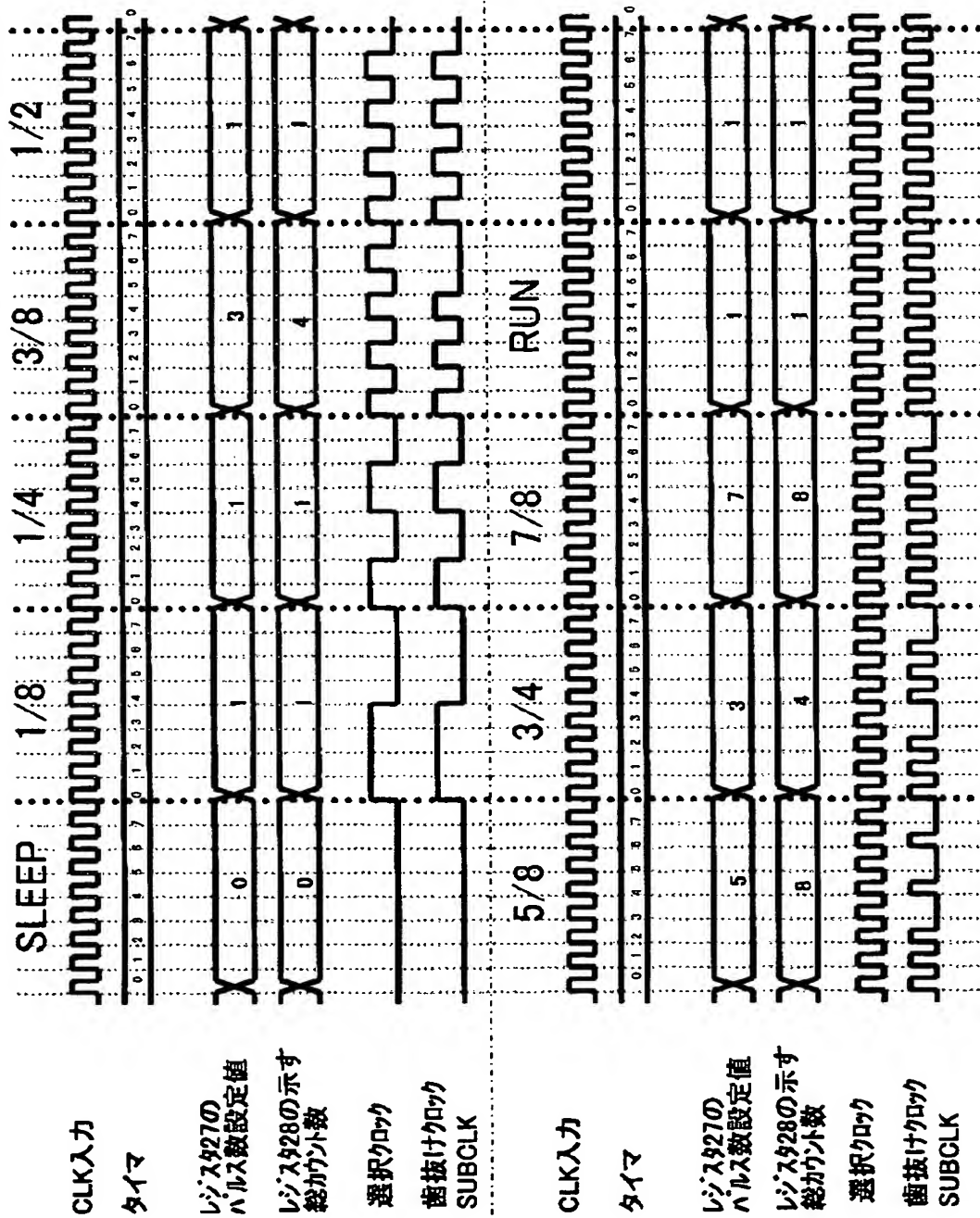
【図 3】

クロック信号の分周及び間引き動作について説明するための図



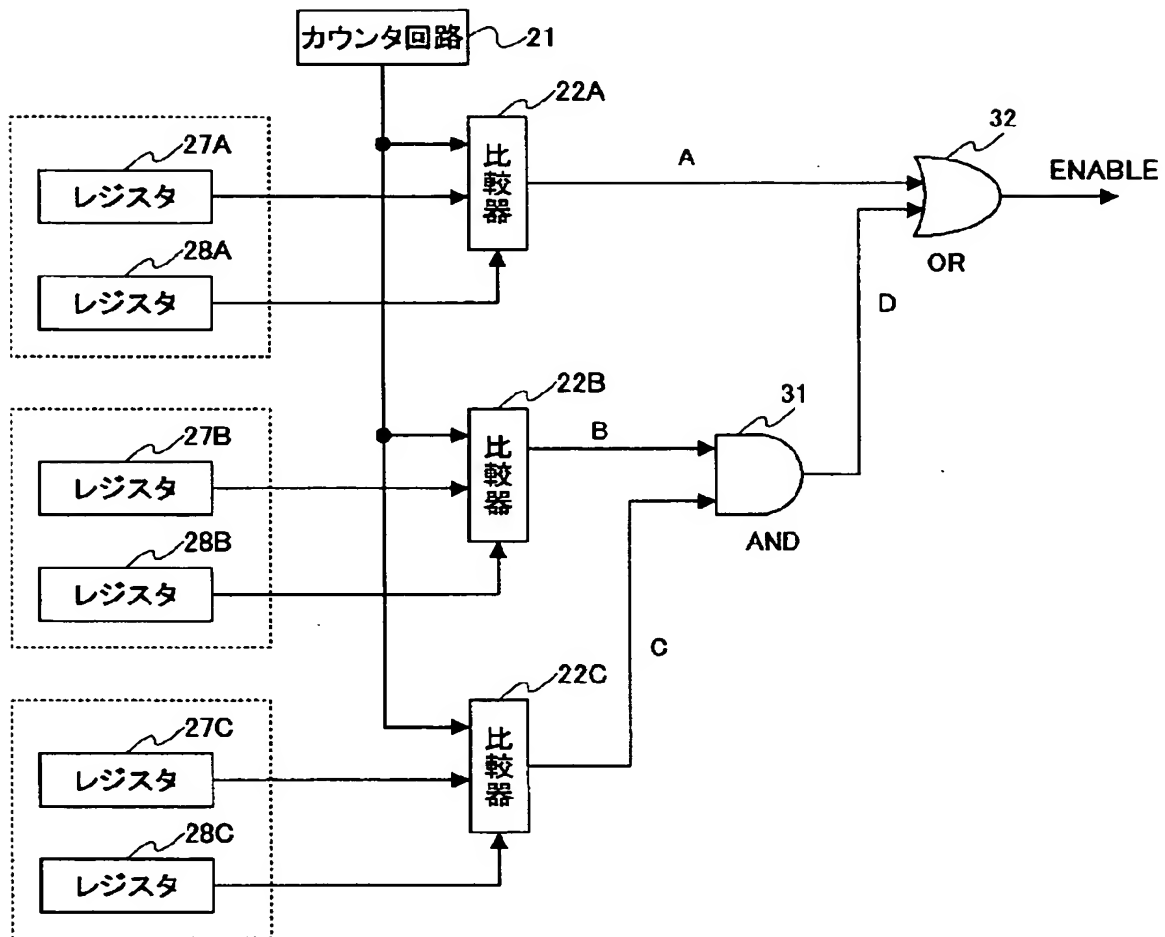
【図 4】

スリープ状態から復帰する場合の動作を例として
クロック遷移について説明するタイミング図



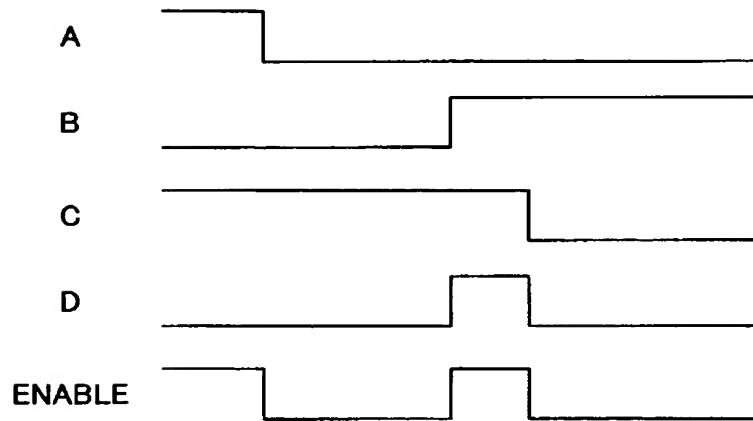
【図 5】

クロック変更回路の変形例の構成を示すブロック図



【図 6】

図5の信号波形を示す図



【書類名】 要約書**【要約】**

【課題】 本発明は、動作モードの変更に応答してクロック周波数を段階的に変化させていくことが可能なクロック変更回路を提供することを目的とする。

【解決手段】 クロック変更回路は、原クロック信号の周波数を制御して出力クロック信号を生成するクロック生成回路と、出力クロック信号で動作する外部回路の第1の動作モードから第2の動作モードへの切り替えを示す動作モード切替信号に応じてクロック生成回路を制御することで、第1の動作モードでの第1の周波数から第2の動作モードでの第2の周波数に出力クロック信号を変化させる途中に、第1の周波数と第2の周波数の間の第3の周波数を介在させる制御回路を含むことを特徴とする。

【選択図】 図1

特願 2 0 0 3 - 3 5 5 0 6 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社